

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-180678

(43)Date of publication of application : 26.06.1992

(51)Int.Cl.

H01L 29/74

(21)Application number : 02-280124

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 18.10.1990

(72)Inventor : TAKAHASHI YOSHIKAZU

(30)Priority

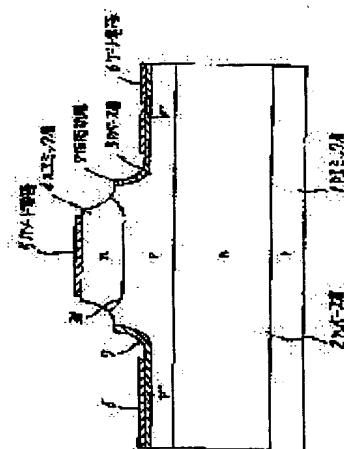
Priority number : 02 34481 Priority date : 15.02.1990 Priority country : JP

## (54) GATE TURN-OFF THYRISTOR

(57)Abstract:

**PURPOSE:** To reduce an irregularity in a gate impedance even when the depth of a gate etching operation is irregular and to enhance a maximum turn-off current by a method wherein a low-resistance layer whose conductivity is the same as that of a base layer is formed on the surface of the base layer.

**CONSTITUTION:** Impurities are diffused to an n-type silicon substrate; a p-emitter layer 1, an n-base layer 2 and a p-base layer 3 are formed; after that, an n-emitter region 4 is dispersed and formed. Then, an oxide film is applied to the region 4; it is patterned; after that, a first gate etching operation is executed; after that, the oxide film is patterned and a second gate etching operation is executed. In succession, impurities are diffused; and a p++ layer 7 is formed. That is to say, the p-n junction face 34 between the layer 3 and the layer 4 is formed as a concave face; the side face of a cathode segment is formed in two steps; and the high-impurity-concentration low-resistance layer 7 is formed on the surface of the layer 3 from the peripheral edge of its upper-step face up to the flat face to which a gate electrode 6 has been applied. Thereby, it is possible to eliminate an irregularity in a gate impedance and to enhance a maximum turn-off current.



(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2692366号

(45) 発行日 平成9年(1997)12月17日

(24) 登録日 平成9年(1997)9月5日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/744			H 0 1 L 29/74	C
29/74				F
				B

請求項の数3 (全 5 頁)

(21) 出願番号 特願平2-280124

(22) 出願日 平成2年(1990)10月18日

(65) 公開番号 特開平4-180678

(43) 公開日 平成4年(1992)6月26日

(31) 優先権主張番号 特願平2-34481

(32) 優先日 平2(1990)2月15日

(33) 優先権主張国 日本 (J P)

(73) 特許権者 999999999

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 高橋 良和

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 弁理士 山口 巖

審査官 大日方 和幸

(56) 参考文献 特開 昭63-131574 (J P, A)

(54) 【発明の名称】 ゲートターンオフサイリスタおよびその製造方法

1

(57) 【特許請求の範囲】

【請求項1】 第1導電形エミッタ層、第2導電形ベース層、第1導電形ベース層および第2導電形エミッタ層からなる4層構造を有し、一方の主電極が前記第2導電形ベース層の突出した部分の上に形成される前記第1導電形エミッタ層表面に接触し、前記第2導電形ベース層は、前記第1導電形エミッタ層の周縁部で最高不純物濃度を有して前記第1導電形ベース層に向かって不純物濃度が低下し、ゲート電極が前記突出した前記第2導電形ベース層以外の前記第2導電形ベース層表面に接触するものにおいて、前記第2導電形ベース層と前記第1導電形エミッタ層はメサ構造を有し、前記第1導電形エミッタ層と前記第2導電形ベース層の接合面は他の接合面に平行な中央部と前記第1導電形エミッタ層側に曲げられる曲面状の周縁部からなり、この接合面と突出部分の側

2

面の交差する接合表面と間隔を有すると共に前記接合面の中央部よりも前記第1導電形エミッタ側の側面位置からゲート電極の接触する位置にかけて、前記第2導電形ベース層表面に第2導電形の低抵抗層が形成されたことを特徴とするゲートターンオフサイリスタ。

【請求項2】 第1導電形半導体基板の一方の表面に第2導電形エミッタ層を拡散形成する工程と、前記半導体基板の他方の表面に第2導電形ベース層を拡散形成する工程と、該第2導電形ベース層の表面に選択的に複数の第1導電形エミッタ層を拡散形成する工程と、前記第1導電形エミッタ層上に選択的にマスクを形成し、前記第2導電形ベース層と前記第1導電形エミッタ層がメサ型構造を形成するように、かつ前記第1導電形エミッタ層の深さより浅く前記第2導電形ベース層および前記第1導電形エミッタ層をエッチングする工程と、前記第1導電

形エミッタ層表面およびその周囲の前記第 2 導電形ベース層上にマスクを形成し、前記第 1 導電形エミッタ層の底部より深く前記第 2 導電形ベース層をさらにエッチングする工程と、このエッチングにより形成された前記第 2 導電形ベース層の突出部の前記第 1 導電形エミッタ層の底部よりエミッタ側の側面から凹部表面にかけて第 2 導電形低抵抗層を拡散形成する工程と、前記凹部上にゲート電極を形成する工程とを有することを特徴とするゲートターンオフサイリスタの製造方法。

【請求項 3】第 1 導電形半導体基板の一方の表面に第 2 導電形エミッタ層を拡散形成する工程と、前記半導体基板の他方の表面に第 2 導電形ベース層を拡散形成する工程と、該第 2 導電形ベース層の表面に選択的に複数の第 1 導電形エミッタ層を拡散形成する工程と、エミッタ層上に選択的にマスクを形成し、前記第 2 導電形ベース層と前記第 1 エミッタ層がメサ型構造を形成するように、かつ前記第 1 導電形エミッタ層の深さより浅くエッチングする工程と、該エッチングされたベース層の表面から前記エミッタ層と間隔を有し、前記エミッタ層の深さよりも深く第 2 導電形の低抵抗層を拡散形成する工程と、該低抵抗層上にゲート電極を形成する工程とを有することを特徴とするゲートターンオフサイリスタの製造方法。

【発明の詳細な説明】

〔産業上の利用分野〕

本発明は、pnpn の 4 層構造をもち、一方の主電極が隣接ベース層より短冊状の上面形状に突出した部分の上に接して形成されたエミッタ層に設けられ、ゲート電極が隣接ベース層に設けられるゲートターンオフ（以下 GTO と記す）サイリスタに関する。

〔従来の技術〕

GT0サイリスタとは、デートでオン、オフ出来る電力用の半導体素子であり、特性面では、特に、最大ターンオフ電流が大きいかがその素子の良し悪しに直接反映される。それゆえ、従来より最大ターンオフ電流を向上させるためにさまざまな方法が試みられて来た。そのうちの最も有効な手段が、ゲートインピーダンスを減少させることと、そのゲートインピーダンスのばらつきを小さくすることである。

このため、一般に各種の GT0サイリスタでは、ゲートの設けられる p ベース層のシート抵抗を出来るだけ小さくしたり、ゲート部のエッチダウンを適正に制御してエッチング深さのばらつきを小さくすることが試みられて来た。

第 2 図は、セグメント構造を有する従来の代表的な GT0サイリスタを示し、p エミッタ層 1、n ベース層 2、p ベース層 3 および n エミッタ層 4 からなる 4 層構造を有する。そして n エミッタ層 4 の側から p ベース層 3 に達するゲートエッチングを行って、短冊状の n エミッタ層領域からなるカソードセグメントが形成されている。その

カソードセグメントの頂面にカソード電極 5 が、露出した p ベース層 3 にゲート電極 6 が被着している。

GT0サイリスタのゲートインピーダンス  $Z$  は、第 2 図中に示されている  $Z_1$  と  $Z_2$  の和である。

すなわち、

$$Z = Z_1 + Z_2 \quad \dots (1)$$

で表される。 $Z_1$  は p ベース層 3 のカソード電極 5 の中央の真下からカソードセグメントの側面までのインピーダンスであり、 $Z_2$  は p ベース層 3 と n エミッタ層 4 の間の pn 接合の下からゲート電極 6 の縁の下までのインピーダンスである。

〔発明が解決しようとする課題〕

(1) 式において、 $Z_1$  はカソードセグメントの幅と、p ベース層 3 と n エミッタ層 4 の間の pn 接合真下の不純物濃度で決定される量であり、カソードセグメントの寸法が一定であれば一定と考えてよい。従って、ゲートインピーダンスの大小もしくはばらつきを左右するものは  $Z_2$  であり、この  $Z_2$  の値はゲートエッチングで形成されるゲート溝深さ  $d$  およびゲート電極 6 の寸法精度に大きく依存する。それ故、 $Z$  を小さくするには、ゲートエッチング深さ  $d$  は出来るだけ浅い方がよいが、25  $\mu\text{m}$  以下になると、今度は、一般に加圧接触構造が採用される大電流用の GT0サイリスタでゲート電極 6 とカソード電極 5 の間に短絡が発生する危険性が出て来ることになり、通常に、30  $\mu\text{m}$  ~ 35  $\mu\text{m}$  程度の溝深さが望ましいと言われている。

しかしながら、このような 30 ~ 35  $\mu\text{m}$  のゲートエッチングを、たとえば Si 板直径 75mm 以上の大電流を扱う GT0サイリスタに適用すると、直径方向で最低で 5  $\mu\text{m}$  程度のエッチング深さ  $d$  のばらつきが発生することはやむをえないことであつた。GT0サイリスタにとっては、このわずか 5  $\mu\text{m}$  程度のばらつきのゲートインピーダンスにおよぼす影響は大きく、ばらつきの割合で 40% 以上にもなることが実験的にわかっている。この 40% のゲートインピーダンスのばらつきが GT0サイリスタの最大ターンオフ電流を向上させるための障害になるので、ゲートインピーダンスのばらつきを少しでも押さえることが最も重要な問題である。

本発明の目的は、上述の問題を解決し、ゲートエッチング深さがばらついてもゲートインピーダンスのばらつきが少なく、最大ターンオフ電流の向上した GT0サイリスタを提供することにある。

〔課題を解決するための手段〕

上記の目的を達成するために、本発明は、第 1 導電形エミッタ層、第 2 導電形ベース層、第 1 導電形ベース層および第 2 導電形エミッタ層からなる 4 層構造を有し、一方の主電極が前記第 2 導電形ベース層の突出した部分の上に形成される前記第 1 導電形エミッタ層表面に接触し、前記第 2 導電形ベース層は、前記第 1 導電形エミッタ層の周縁部で最高不純物濃度を有して前記第 1 導電形

ベース層に向かって不純物濃度が低下し、ゲート電極が前記突出した前記第2導電形ベース層以外の前記第2導電形ベース層表面に接触するものにおいて、前記第2導電形ベース層と前記第1導電形エミッタ層はメサ構造を有し、前記第1導電形エミッタ層と前記第2導電形ベース層の接合面は他の接合面に平行な中央部と前記第1導電形エミッタ層側に曲げられる曲面状の周縁部からなり、この接合面と突出部分の側面の交差する接合表面と間隔を有すると共に前記接合面の中央部よりも前記第1導電形エミッタ側の側面位置からゲート電極の接触する位置にかけて、前記第2導電形ベース層表面に第2導電形の低抵抗層が形成されたものとする。また、製造方法としては、第1導電形半導体基板の一方の表面に第2導電形エミッタ層を拡散形成する工程と、前記半導体基板の他方の表面に第2導電形ベース層を拡散形成する工程と、該第2導電形ベース層の表面に選択的に複数の第1導電形エミッタ層を拡散形成する工程と、前記第1導電形エミッタ層上に選択的にマスクを形成し、前記第2導電形ベース層と前記第1導電形エミッタ層がメサ型構造を形成するように、かつ前記第1導電形エミッタ層の深さより浅く前記第2導電形ベース層および前記第1導電形エミッタ層をエッチングする工程と、前記第1導電形エミッタ層表面およびその周囲の前記第2導電形ベース層上にマスクを形成し、前記第1導電形エミッタ層の底部より深く前記第2導電形ベース層をさらにエッチングする工程と、このエッチングにより形成された前記第2導電形ベース層の突出部の前記第1導電形エミッタ層の底部よりエミッタ側の側面から凹部表面にかけて第2導電形低抵抗層を拡散形成する工程と、前記凹部上にゲート電極を形成する工程とを有するものとする。

#### 〔作用〕

ベース層のゲート電極の接する位置からエミッタ層との界面の近くまで表面にベース層と同一導電形の低抵抗層が形成されることにより、ゲートインピーダンス $Z_g$ のうちの $Z_g$ はゲート溝深さに無関係となり、ゲート溝深さがばらついても、ゲートインピーダンスのばらつきがなくなる。また、低抵抗層とエミッタ層・ベース層間pn接合との間に残るベース層は、ベース層の不純物濃度の最も高い部分であるため、 $Z_g$ 自体の絶対値も小さくなる。低抵抗層に隣接してそのような不純物濃度の高い部分を残すため、エミッタ層・ベース層間pn接合面は凹面として形成されるが、サイリスタの特性はベース層の最も薄い厚さを決める凹面の低い中央部に支配されるので、サイリスタ特性が影響を受けることはない。

#### 〔実施例〕

第1図は本発明の一実施例のGT0サイリスタの一つのセグメントの断面図で、第2図と共通の部分には同一の符号が付されている。第2図の場合と異なる点は、第一にカソードセグメントのpベース層3とnエミッタ層4の間のpn接合面34が凹面として形成されていること、第

二にカソードセグメントの側面が2段となっていること、第三にその上段面の周縁からゲート電極6の被着している平坦面にかけて高不純物濃度の $P^{++}$ 低抵抗層7が形成されていることである。

このようなGT0サイリスタは、第3図(a)～(e)に示すような工程で作られる。まず、n形シリコン基板に不純物を拡散してpエミッタ層1、nベース層2、pベース層3を形成する(図a)。pエミッタ層1、pベース層3の表面不純物濃度は $3 \times 10^{17} / \text{cm}^3$ である。次に選択拡散技術を用いnエミッタ領域4を分散して形成する(図b)。このようにして設けられたnエミッタ領域4を段差のあるカソードセグメントにするため、酸化膜を被着し、フォトリソグラフィで酸化膜マスクのパターンを形成後、 $20 \mu\text{m}$ 程度の深さの第一回目のゲートエッチングを行う(図c)。さらに、再度、酸化膜被着とパターニングで第一回目のマスクに比して片側で $10 \mu\text{m}$ 大きいマスクを形成し、第二回目のゲートエッチングを第一回目のエッチング深さと合わせて $35 \sim 40 \mu\text{m}$ 程度の深さになるまで行う(図d)。このあと、第二回目のゲートエッチングの際の酸化膜マスクを用いて不純物拡散を行い、表面不純物濃度 $10^{19} \sim 10^{20} / \text{cm}^3$ の $P^{++}$ 層7を設ける(図e)。この工程は、いわゆるセルフアライメント工程になっている。この場合、第一回目のゲートエッチングでpベース層3に $10 \mu\text{m}$ 以上の幅の肩部が生じているので、約 $5 \mu\text{m}$ の深さの $P^{++}$ 層7がpn接合面34に達することはない。

第4図は、このようにして作られたGT0サイリスタの不純物濃度プロファイルを断面構造に対応して示す。この図からわかるように、 $P^{++}$ 層7はpベース層3とnエミッタ層4とのpn接合面よりも点線41で示すような不純物濃度の高い部分に達している。従ってゲートインピーダンスのうちの前述の $Z_g$ の絶対値が小さくなる。

第5図は、第1, 第3図に示したような2段にゲートエッチングをしないでゲートエッチングを1回のみ行う実施例のGT0タイリスタである。この実施例では、nエミッタ層4はpベース層3の平坦面から突出して形成されている。従って、 $P^{++}$ 低抵抗層7の端はpベース層4の平坦面で終わっている。この場合は、 $P^{++}$ 層7の拡散深さ $t_2$ が浅いと、pベース層3のそれより深い部分がゲートインピーダンスに影響するため、ゲートインピーダンスがエッチング深さに強く依存してくる。それ故、ゲート溝底面からpn接合面34までの深さ $t_1$ より $t_2$ を大きくすることが望ましい。

以上の実施例は、pベース層にゲート電極が設けられるGT0サイリスタについて述べたが、nベース層にゲート電極を設け、アノードセグメントを形成するGT0サイリスタにおいても実施することができる。

#### 〔発明の効果〕

本発明によれば、ゲート電極の設けられるベース層の隣接エミッタ層の周縁部に高不純物濃度の部分を残し、

7

8

ゲート電極の接する部分からその部分に達する低抵抗層をベース層表面に形成することにより、ゲートエッチング深さのばらつきがあったとしてもゲートインピーダンスのばらつきがその構造上から全くなるので、多数のGTOセグメントを並列に動作させるGTOサイリスタにとってターンオフ時の電流集中が少なくなる。そして、ゲートインピーダンスの絶対値も小さくなるので、最大ターンオフ電流は飛躍的に向上する。この結果、最大ターンオフ電流で従来構造素子の約1.5倍が得られるようになった。

【図面の簡単な説明】

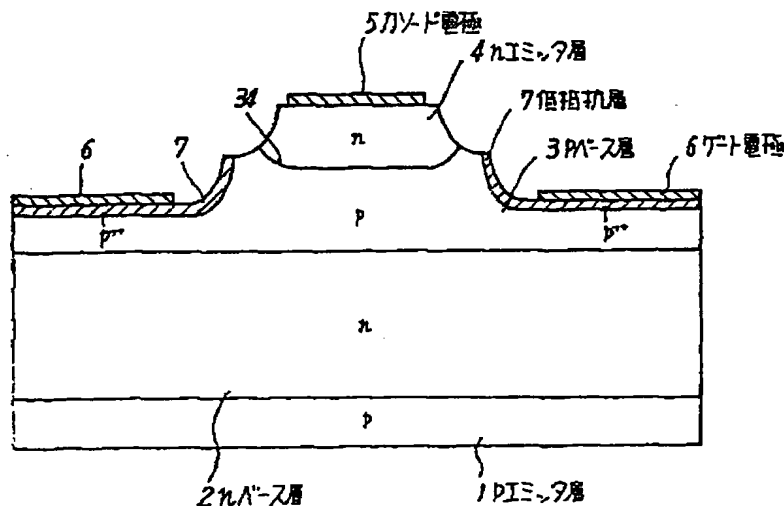
\* 第1図は本発明の一実施例のGTOサイリスタのセグメントの断面図、第2図は従来のGTOサイリスタのセグメントの断面図、第3図は第1図のGTOサイリスタの製造工程を(a)～(e)の順に示す断面図、第4図は第1図のGTOサイリスタの不純物濃度プロファイルと断面構造との対比図、第5図は本発明の別の実施例のGTOサイリスタのセグメントの断面図である。

1……pエミッタ層、2……nベース層、3……pベース層、4……nエミッタ層、5……カソード電極、6……ゲート電極、7……P<sup>+</sup>低抵抗層。

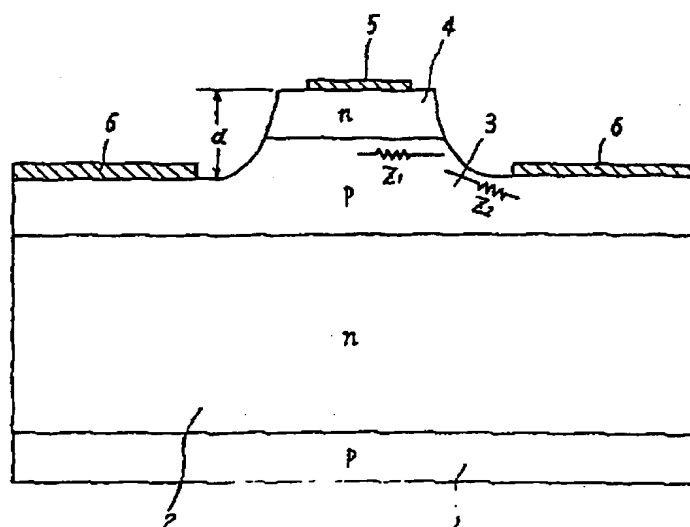
10 ……ゲート電極、7……P<sup>+</sup>低抵抗層。

\*

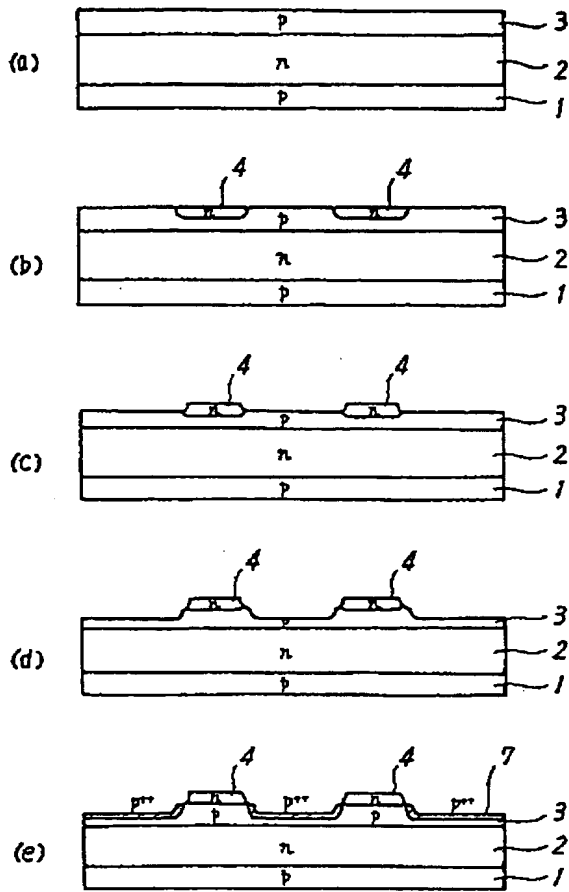
【第1図】



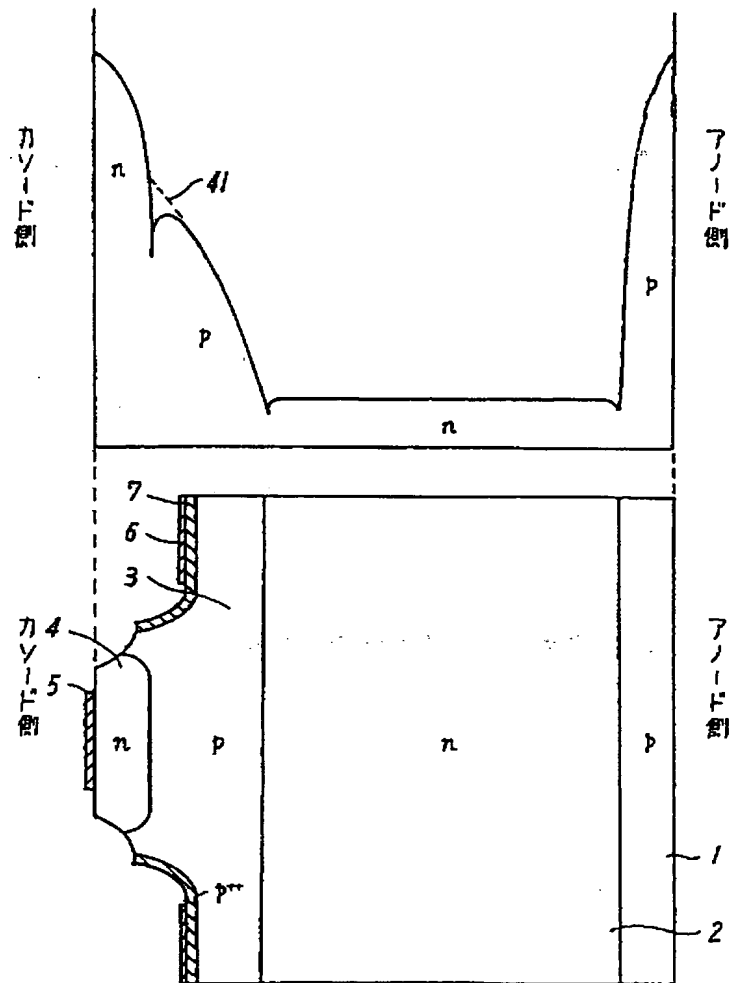
【第2図】



【第3図】



【第4図】



【第5図】

